

CLIPPEDIMAGE= JP02001118845A  
PAT-NO: JP02001118845A  
DOCUMENT-IDENTIFIER: JP 2001118845 A  
TITLE: FORMATION OF DAMASCENE INTERCONNECTION AND  
SEMICONDUCTOR DEVICE

PUBN-DATE: April 27, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
SUGAI, KAZUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP11298106  
APPL-DATE: October 20, 1999

INT-CL\_(IPC): H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To form a damascene interconnection without causing malfunctions of a circuit or a delay in circuit operation.

SOLUTION: An insulation film 4 is formed on a semiconductor substrate 1 and then a pattern of vias 6 and dummy vias 7 shallower than the vias 6 is formed using a microloading effect. Thereafter, metal 8 is deposited on the pattern of vias 6 and dummy vias 7 and then excessive metal 8 is removed using a microloading effect.

COPYRIGHT: (C)2001,JPO

BEST AVAILABLE COPY

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-118845  
(P2001-118845A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.  
H 0 1 L 21/3205

識別記号

F I  
H 0 1 L 21/88

キーワード (参考)  
K 5 F 0 3 3

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平11-298106

(22) 出願日 平成11年10月20日 (1999.10.20)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 菅井 和己

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100075306

弁理士 菅野 中

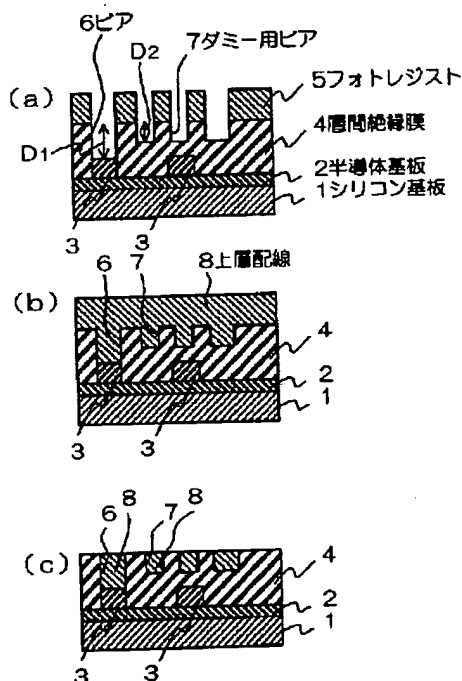
Fターム (参考) 5F033 HH18 HH19 HH33 JJ18 JJ19  
JJ33 MM01 MM02 MM12 MM13  
NN06 NN07 PP06 PP15 PP27  
QQ01 QQ48 VV01 XX24 XX27

(54) 【発明の名称】 ダマシン配線の形成方法及び半導体装置

(57) 【要約】

【課題】 回路の誤動作或いは回路動作の遅延を生じさせることなく、ダマシン配線を形成する。

【解決手段】 半導体基板1上に絶縁膜4を形成し、前記絶縁膜4に、ビア6と、前記ビア6の深さより浅いダミー7のパターンを、マイクロローディング効果を用いて形成し、前記ビア6とダミー7のパターンに金属8を堆積し、マイクロローディング効果を用いて前記余剰の金属8を除去する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を形成する工程と、  
前記絶縁膜に配線溝或いはビアと、前記配線溝或いは前記ビアの深さより浅いダミーパターンを、マイクロローディング効果を用いて形成する工程と、  
前記配線溝或いはビアとダミーパターンに金属を堆積する工程と、  
マイクロローディング効果を用いて前記余剰の金属を除去する工程とを有することを特徴とするダマシン配線の形成方法。

【請求項2】 基板に形成された絶縁膜に配線溝或いはビアと、前記配線溝或いは前記ビアの深さより浅いダミーパターンを有することを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダマシン配線の形成方法及び半導体装置に関するものである。

【0002】

【従来の技術】従来、ダマシン配線を形成するには図2(a)に示されるように、半導体ウェハのシリコン基板1上に半導体層2及び下層配線3が形成された後、層間絶縁膜4が堆積される。

【0003】次に図2(a)に示されるように、フォトレジスト5が塗布された後、水銀ランプのi線、KrFエキシマレーザー、ArFエキシマレーザーを用いて、レチクルパターンがフォトレジスト5に転写される。

【0004】さらに図2(a)に示されるように、フォトレジスト5に転写されたフォトレジストパターンに従い、ドライエッチングを用いて層間絶縁膜4にビア6とダミー用ビア（単にダミーという）7のパターンが開口される。このとき、ビア6の深さD1とダミー7の深さD2'がほぼ等しいため、ダミー7のパターンは下層配線3と上層配線8を接続しない位置にレイアウトされる。

【0005】引続いて図2(b)に示されるように、100～1000Å程度のTiN、或いはTiN/Ti層がスパッタにより堆積され、上層配線8としてのタングステンがCVDにより堆積される。その堆積する膜厚は、ビア6の半径以上であって、通常3000～10000Åである。

【0006】図2(c)に示されるように、上記過程を経た半導体ウェハがアルミナ、シリカなどの砥粒を含む研磨材（スラリー）を用いて研磨される。

【0007】

【発明が解決しようとする課題】しかしながら半導体ウェハが研磨材（スラリー）を用いて研磨されるとき、ダミーパターンの疎密に応じてエロージョンEが発生して種々の問題を引き起こすこととなる。

【0008】具体的に説明すると、ビア6と等しい密度

でダミー7のパターンを形成すると、上下配線層3、8を短絡することとなり、このため、ビア6や配線3、8のメタルの抵抗値にバラツキが発生し、回路の誤動作を生じさせてしまうという問題がある。

【0009】さらに層間絶縁膜4に配線8の層厚と同じ深さのダミー7を形成すると、ダミー7を介した浮遊容量がダミー7の表面積の増大に伴って増加するため、層間容量が増加し、回路動作が遅くなるという問題がある。

【0010】本発明の目的は、回路の誤動作或いは回路動作の遅延を生じさせることなく、ダマシン配線を形成する方法及び、その形成方法により製造した半導体装置を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明に係るダマシン配線の形成方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に配線溝或いはビアと、前記配線溝或いは前記ビアの深さより浅いダミーパターンを、マイクロローディング効果を用いて形成する工程と、前記配線溝或いはビアとダミーパターンに金属を堆積する工程と、マイクロローディング効果を用いて前記余剰の金属を除去する工程とを有するものである。

【0012】また本発明に係る半導体装置は、基板に形成された絶縁膜に配線溝或いはビアと、前記配線溝或いは前記ビアの深さより浅いダミーパターンを有するものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0014】図1は、本発明の一実施形態に係るダマシン配線の形成方法を製造工程順に示す断面図である。

【0015】図1に示す本発明の実施形態に係るダマシン配線の形成方法は図1(a)に示すように、半導体ウェハのシリコン基板1上に半導体層2及び下層配線3を形成した後、層間絶縁膜4を堆積する。

【0016】次に図1(a)に示すように、基板全面にフォトレジスト5を塗布した後、水銀ランプのi線、KrFエキシマレーザー、ArFエキシマレーザーを用いて、レチクルのフォトレジストパターンをフォトレジスト5に転写する。

【0017】図1(a)に示すようにフォトレジスト5に転写したフォトレジストパターンに従い、ドライエッチングを用いて層間絶縁膜4にビア6とダミー用ビア（単にダミーという）7のパターンを開口することとなるが、前記レチクルに形成するフォトレジストパターン（ビア6とダミー7をパターンニングするためのパターン）によりビア6及びダミー7を開口するために必要最小限の開口寸法は、上述した各光源の種類と光学技術とにより一義的に決定される。

【0018】そこで本発明の実施形態1においては、前記レチクルに形成されるビア6用開口パターン（フォトレジストパターン）の寸法は前記一義的に決定されるビア6用開口パターンの最小寸法D1に設定し、一方、ダミー7用開口パターンの最小寸法D2は前記一義的に決定されるダミー7用開口パターンの最小寸法D2'より更に5～20%程度小さいサイズ（ $D2 < D2'$ ）に変更設定して、そのサイズの正方形又は円形のパターンをダミー7用開口パターンとして前記レチクル上に形成する。

【0019】そして本発明の実施形態では、前記一義的に決定されるダミー7用開口パターンの最小寸法D2'より更に5～20%程度小さいサイズ（ $D2 < D2'$ ）の正方形又は円形のパターンをダミー7用開口パターンとして形成した前記レチクルを用いて、該レチクルのフォトレジストパターンをフォトレジスト5に転写し、そのフォトレジスト5に転写したフォトレジストパターンを露光、現像し、次いでドライエッチングを用いて層間絶縁膜4にビア6とダミー7のパターンを開口する。

【0020】この場合、図1(a)に示すようにマイクロローディング効果によって、ダミー7のパターンに関して、図2(a)に示す通常のダミー7より浅い深さD2（ $D2 < D2'$ ）をもつ図1(a)に示すダミー7が形成される。

【0021】このような浅い深さのダミー7を、ビア6を設けた領域以外の層間絶縁膜4内に分布させる。層間絶縁膜4内にダミー7を分布させる密度は、直径1～10μmの円内に必ず1個のダミー7が存在するように配置すればよい。その根拠は、次工程で行われる機械化学的研磨（CMP）に基づいて、エロージョン、ディッシングによる層間絶縁膜4の膜厚減少がビア6のパターンから10μmの範囲内で起こるためである。

【0022】通常のビア6は下層配線3に達する深さで開口されるが、ダミー7のパターンは浅いため、下層配線3までは到達しない。

【0023】引続いて図1(b)に示すように、100～1000Å程度のTiN、或いはTiN/Ti層を基板全面にスパッタにより堆積され、上層配線8としてのタングステンビア6及びダミー7を含めて基板全面にCVDにより堆積する。その堆積する上層配線8の膜厚は、ビア6の半径以上であって、通常3000～10000Åである。

【0024】次に図1(c)に示すように、上記過程を経た半導体ウェハーをアルミナ、シリカなどの砥粒を含む研磨材（スラリー）を用いて機械化学的研磨を行う。

【0025】上述したように機械化学的研磨を行うと、ビア6及びダミー7のパターン周辺で酸化膜エロージョンが発生する。半導体ウェハーから切出すチップ全面にビア6のパターンとダミー7のパターンとがあるため、結果としてチップ全面にエロージョンが発生する。

【0026】このため、パターン密度が低い部分のビア6とパターン密度が高い部分のビア6の深さがほぼ等しくなる。すなわち、ビア6の抵抗に占めるタングステンの抵抗がパターン密度によらず、ほぼ等しくなる。

【0027】上述したように本発明の実施形態によれば、ダミー7のパターンの深さを浅くして、これをビア6のダミーとして設けるダミー用ビア7に適用した場合、ダミー用ビア7が上下配線3、8間を短絡することがなく、したがってチップ全面にビア6とダミー7を等密度で形成してエロージョンを起こさせることによって、ビア6を構成する金属膜の膜厚をパターン疎密に関わらず一定にすることができる。

【0028】上述した実施形態1では、ビア6のダミーとしてダミー用ビア7を設ける場合について説明したが、これに限定されるものではない。すなわち、配線3又は8のダミーとしてダミー用配線7を設ける場合にも同様に適用することができるものである。

【0029】この場合には、前記レチクルに形成される配線3又は8の形成用パターン（フォトレジストパターン）の寸法は前記一義的に決定される配線ビア3又は8の形成用溝パターンの最小寸法に設定し、一方、ダミー用配線7の形成用溝パターンの最小寸法は前記一義的に決定されるダミー用配線7の形成用溝パターンの最小寸法より更に5～20%程度小さいサイズに変更設定して、そのサイズのダミー用配線形成用パターンを前記レチクル上に形成する。

【0030】上述したように配線3又は8のダミーとしてダミー用配線7を設ける場合に適用した場合、ダミー用配線7の深さが同層の配線3、8の深さより浅く、表面積が配線パターンの最小で形成される従来のダミー用配線と本発明の実施形態に係るダミー用配線7とを比較すると、その表面積を小さくすることができ、したがって配線間容量を低減することができるという利点を有している。

【0031】以上のように本発明によれば、チップ全体で均等にエロージョンが起こり、ダミー7を設ける相手側であるビア6の金属膜厚を均一化することができることとなり、その抵抗のバラツキを低減し、回路動作を設計通りに行わせることが可能となる。また配線に適用した場合に配線間容量を低減できるため、回路の動作周波数を高くすることができる。

【0032】なお、図示した本発明の実施形態では、ビア6に埋込む金属として、タングステンの場合を例示したが、電解めっき或いはCVD等で堆積されるCuを用いてもよい。

【0033】また本発明をビア6或いは配線3、8に適用した場合を説明したが、シングルダマシ配線、デュアルダマシ配線に同様に適用することが可能である。

【0034】また本発明をシングルダマシ配線等に適用した場合にも、マイクロローディング効果により浅い

ダミーパターンを形成する。ダミー7のサイズとレイアウトはビアの場合と同様に決めることができる。ダミー7が浅く、直径も小さいため、最小の配線パターンをダミーとした場合よりも、配線間容量を低減することができる。

【0035】

【発明の効果】以上のように本発明によれば、回路の誤動作或いは回路動作の遅延を生じさせることなく、ダマシ配線を形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るダマシ配線の形成方法を製造工程順に示す断面図である。

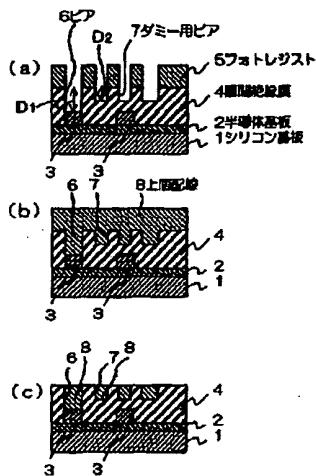
【図2】従来の技術に係るダマシ配線の形成方法を製造工程順に示す断面図である。

【符号の説明】

1 シリコン基板

2 半導体基板

【図1】



【図2】

